



## PLANO DE ENSINO

<b>1 – IDENTIFICAÇÃO</b>			
Disciplina: <b>TEEE em teste de circuitos integrados</b>		Código:	
Curso: <b>PPG em Engenharia Elétrica</b>	Créditos: <b>3</b>	Carga Horária: <b>45h</b>	Sem. Letivo: <b>2015.1</b>
Professor: <b>Cleonilson Protásio de Souza</b>			

<b>2 - OBJETIVOS</b>
<b>2.1 Objetivo Geral</b> Apresentar os conceitos e as principais técnicas de teste de dispositivos e circuitos integrados.
<b>2.2 Objetivos Específicos</b> <ol style="list-style-type: none"><li>1) Compreender os conceitos em teste de circuitos integrados;</li><li>2) Compreender os custos envolvidos em testes;</li><li>3) Analisar as principais técnicas de Modelamento de falhas e Simulação de falhas</li><li>4) Analisar as técnicas de geração de teste e análise de resposta aos testes;</li><li>5) Analisar as técnicas de <i>Design for testability</i>;</li><li>6) Compreender os princípios básicos de projeto eletrônico operando em ambientes hostis (radiação) ou sujeitos às normas de compatibilidade eletromagnética (EMC).</li></ol>

<b>3 - EMENTA</b>
<ul style="list-style-type: none"><li>· Introdução e conceitos iniciais de testes de circuitos integrados</li><li>· Processo de teste VLSI e equipamentos de testes</li><li>· Custos em testes de circuitos integrados</li><li>· Modelamento de falhas</li><li>· Simulação de falhas</li><li>· Medidas de testabilidade</li><li>· Geração de teste para circuitos combinacionais</li><li>· Geração de teste para circuitos sequenciais</li><li>· <i>Design for testability</i>: scan testing e built-in self-test</li><li>· Princípios básicos de projeto eletrônico operando em ambientes hostis ou sujeitos à EMC.</li></ul>

<b>4- CONTEÚDO PROGRAMÁTICO</b>	
<b>4.1 – Unidades de Ensino</b>	<b>4.2 – Previsão Horas/Aula</b>
<ul style="list-style-type: none"><li>· Introdução e conceitos iniciais de testes de circuitos integrados</li><li>· Processo de teste VLSI e equipamentos de testes</li><li>· Custos em testes de circuitos integrados</li><li>· Modelamento de falhas</li><li>· Simulação de falhas</li><li>· Medidas de testabilidade</li><li>· Geração de teste para circuitos combinacionais</li><li>· Geração de teste para circuitos sequenciais</li><li>· <i>Design for testability</i>: scan testing e built-in self-test</li><li>· Princípios básicos de projeto eletrônico operando em ambientes hostis ou sujeitos à EMC.</li></ul>	<p>3 3 3 6 6 3 6 6 6 3</p>



#### **5- ESTRATÉGIAS (METODOLOGIA DE ENSINO E RECURSOS)**

- Aula expositiva
- Seminários (textos científicos previamente selecionados)
- Leitura e análise de artigos científicos

#### **6- ATIVIDADES DISCENTES**

- Estudo e elaboração de sínteses de conteúdo.

#### **7- METODOLOGIA DE AVALIAÇÃO**

- Avaliação escrita
- Avaliação de seminários e resumos.

#### **8 – BIBLIOGRAFIA**

- M. BUSHNELL e Vishwani AGRAWAL, Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI Circuits (Frontiers in Electronic Testing) Hardcover – December 15, 2004.
- M ABRAMOVICI, M BREUER, A FRIEDMAN, Digital Systems Testing and Testable Design. IEEE Press, 1990.
- Artigos de anais de conferências e de revistas científicas.

Prof. Dr. Cleonilson Protásio de Souza